***ЛЕКЦІЯ 20***

1. ***Режим прямого доступу до пам’яті***

Режим прямого доступа до спільної пам’яті (СП) необхідний для того, аби розвантажити процесор в режимі обміну даними з СП та для забезпечення збільшення швидкості обміну даними між пристроями системи. Процесор відключається або вирішує свої завдання, які не вимагають даних зі спільної пам’яті. Для реалізації режиму прямого доступу до пам’яті використовується контролер прямого доступу до пам’яті (КПДП).

КПДП може бути як і процесор – активним пристроєм, оскільки може звертатися до зовнішніх пристроїв (ЗП) та спільної пам’яті, а також в подальшому керувати режимом обміну, захоплюючи системну магістраль. Обидва КПДП та процесор (П) по черзі захоплюють системну магістраль, завдяки чому здійснюється паралельна робота цих пристроїв. КПДП має декілька адрес в загальному адресному просторі для таких *регістрів*:

1. СТ – лічильник кількості слів, які передаються у масив;
2. РПА – регістр початкової адреси (ЗП)ж
3. РК – регістр команд;
4. РР – регістр режиму (передача слова чи масиву).

Ініціалізація КПДП відбувається у програмному режимі, за рахунок передачі у відповідні регістри контролера ПДП інформації, необхідної для керування обміном (адреса комірки пам’яті, в якій знаходиться перший блок даних, що записуються або зчитуються; адреса порту; загальна кількість даних, що передаються; напрям передачі тощо). Після закінчення обміну центральний процесор (ЦП) отримує сигнал від контролера і переходить до виконання основної програми.

Контролер прямого доступу до пам’яті працює в режимі одиничної або пакетної(блокової) передачі. Кожен зовнішній пристрій містить власний інтерфейс, через який відбувається передача даних.

Під час *блокової* передачі даних відбувається захоплення системної магістралі(СМ) на весь час передачі масиву. Даний тип передачі забезпечує передачу масиву швидше, ніж процесор, тому що контролер є пристроєм, що не потребує зчитування команд для передачі даних та керування на апаратному рівні.

В режимі *одиничної* передачі захоплення системної магістралі відбувається на один цикл звернення до СП та ЗП. В режимі блокової передачі процесор не зайнятий протягом часу, необхідного для передачі масиву. В режимі одиничної передачі процесор та КПДП працюють паралельно – процесор виконує свою програму (звернення до СП за командами та даними), а КПДП захоплює цикли для передачі одного слова.

* 1. ***Підключення КПДП (DMA) до МК***



*Рис. 20.1. Схема підключення КПДП*

Взаємодія КПДП між ЗП та СП здійснюється за допомогою таких сигналів:

1. HRQ – Hold Request – вимога захоплення шини (ВШ);
2. HLDA – Hold Acknowledge – підтвердження захоплення шини (ПШ);
3. DRQ – DMA Request – вимога ПДП (ВШЗП);
4. DACK – DMA Acknowledge – підтвердження ПДП (ПШЗП).

DMA – DMAC – Direct Memory Access Controller – КПДП.

* 1. ***Побудова принципової схеми КПДП***

КПДП використовується у складі МПС для реалізації прямого доступу до СП. Для побудови піраміди КПДП використовуються мікросхеми КПДП (8257A – Intel(DMA Controller), аналогом якої є К1810ВТ37). Кожна мікросхема обслуговує чотири зовнішніх пристрої. КПДП дозволяє реалізувати передачу пам’ять-пам’ять та має широкі можливості програмного керування та каскадування.



*Рис. 20.2. Структура КПДП (8257А - Intel)*

*Кожен канал містить у собі по чотири регістри:*

CAR – регістр поточної адреси;

BAR – WCR – регістр базової адреси та числа циклів;

CWR – регістр циклів (декрементуючий лічильник; якщо ТС = 1, то відбувається завершення циклів);

MR – регістр режиму.

*Регістри відносяться до спільного адресного простору ОЗП та ЗП.*

*Регістр поточної адреси* ***CAR*** зберігає поточну адресу комірки пам’яті при виконанні циклу ПДП. Після виконання циклу ПДП вміст цього регістра збільшується або зменшується на одиницю. Вміст регістра може буде прочитаним або завантаженим за допомогою двох команд введення-виведення.

*Регістр зберігання базової адреси* ***BAR*** та *регістр зберігання базового числа циклів ПДП* ***WCR*** зберігають базові значення адреси та числа циклів ПДП, приймають участь у автоініціалізацію. Під час початкового завантаження контролера ПДП вихідними параметрами одночасно відбувається запис до регістрів CAR, BAR, CWR та WCR. В процесі виконання циклів ПДП вміст BAR і WCR не змінюється. Прочитати стан цих регістрів неможливо.

*Регистр режиму* ***MR*** визначає режим роботи (в молодших розрядах Dl, DO вказується код номера каналу). За допомогою інших розрядів задається один з типів передачі – читання, запис, перевірка; визначається режим автозавантаження та роботи каналу – передача по запиту, одинична передача, блокова передача, контролер в режимі каскадування, а також визначається режим зміни регістра CAR (на зменшення чи збільшення).

*Регістр циклів ПДП* ***CWR*** зберігає кількість слів, призначених для передачі. Константа, що завантажується, має бути більшою на одиницю від кількості слів, необхідних для передачі. Читання та запис вмісту регістра здійснюється двома послідовно виконуваними командами введення-виведення. Вміст CWR може бути оновлений під час автоініціалізації за сигналом ЕОР, інакше в регістрі зберігається значення FFFFH.

*КПДП складається з трьох функціональних блоків:*

1. ***БШД*** ***(буфер шини даних)*** – необхідний для узгодження роботи з ЦП;
2. ***БКК*** *(****блок керування контролером)*** – містить один регістр – TR (регістр тимчасового зберігання даних), що забезпечує зберігання байта в циклі передачі пам’ять-пам'ять на час зміни адреси;
3. ***БКРР (блок керування режимом роботи)*** – виробляє необхідні сигнали для керування під час передачі даних в циклах ПДП. Містить в собі чотири регістри: *CR, RR, SR, MASK*;
   * ***CR*** – регістр команд – визначає основні параметри роботи каналу, задає режим роботи;
   * ***SR*** – регістр умови, розряди якого встановлюються апаратно після закінчення циклів ПДП чи за зовнішнім сигналом ЕОР;
   * ***RR*** – регістр запитів, кожен розряд якого відповідає одному з каналів;
   * ***MASK*** – маскує сигнали DREQ кожного каналу, розряди я кого можуть бути встановлені одночасно або роздільно за спеціальною командою.

*ВТ8237 – DMA Controller – КПДП*



*Рис. 20.3. Умовне графічне позначення КПДП ВТ8237(8257А-Intel)*

*Призначення входів та виходів мікросхеми:*

|  |  |  |
| --- | --- | --- |
| *DB7...DB0* | – | двоспрямована *ШД*; |
| *CS* | – | *(Chip Select)* – вибір кристалу; |
| *IOW(Write)* | – | вхід в пасивному режимі – запис слів керування в регістр встановлення режиму;  вихід в активному режимі – запис у зовнішні пристрої даних з пам’яті; |
| *IOR (Read)* | – | вхід в пасивному режимі – читання регістра стану та адрес регістрів;  вихід в активному режимі – читання даних з зовнішніх пристроїв у пам’ять; |
| *CLK* | – | тактовий сигнал; |
| *RESET* | – | сигнал скидання; |
| *READY* | – | сигнал готовності; |
| *HLDA* | – | *(Hold Acknowledge)* – сигнал підтвердження *DMA*, що надходить від МК у відповідна запит *HRQ = HOLD = 1*, що вказує на керування системними шинами передачі *DMA*; МК відключається; |
| *DREQ3...DREQ0* | – | *(DMA Request)* – сигнал запитів від зовнішніх пристроїв; |
| *Vcc* | – | напруга живлення +5В; |
| *GND* | – | загальний; |
| *A3…A0* | – | в пасивному режимі використовується для адресації внутрішніх регістрів *DMAC*;  в активному режимі – молодші розряди адреси; |
| *A7…A4* | – | зовнішні адреси; |
| *AEN* | – | *(Address Enable)* – сигнал дозволу адреси (*AEN = 1*, перехід до активного режиму); |
| *ADSTB* | – | сигнал стробу адреси (у зовнішніх регістрах); |
| *MR* | – | *(Memory Read)* – в активному режимі для читання даних у системну пам’ять; |
| *MW* | – | *(Memory Write)* – в активному режимі для запису даних у системну пам’ять; |
| *EOP или ТС* | – | сигнал закінчення *DMA* циклів; |
| *HRQ* | – | *(Hold Request)* – сигнал запиту системної шини (запит *DMA*; запит захоплення шини), подається на вхід *HOLD МК*; |
| *DACK3…DACK0* | – | *(DMA Acknowledge)* – сигнал підтвердження для зовнішнього пристрою. |

*Режими роботи* ПДП*.*

Контролер ПДП може працювати у двох основних режимах: з ЦП та з виконанням циклів ПДП. У режимі роботи з ЦПконтролер сприймається ним як зовнішній пристрій, а після завантаження керуючих слів переходить в пасивний стан S1. У цьому стані контролер перебуває, поки на вхід одного з каналів не прийде запит на ПДП DREQ або цей запит не буде виставлений програмно від *ЦП*. Виявивши запит на ПДП, контролер переходить у стан S0 і виставляє сигнал запиту на захоплення системної шини HRQ, очікуючи від ЦП сигналу підтвердження захоплення HLDA. При одержанні сигналу HLDA контролер починає виконувати цикли ПДП.

Розрізняють чотири робочих стани при виконанні цих циклів: S1 - S4. Якщо при виконанні циклів ПДП на вхід READY, подати нуль, контролер між тактами S2/S3 і S4 виконує такти очікування SW. Стан SW характеризується активністю ліній передачі даних. При передачі інформації в режимі пам'ять - пам'ять необхідно виконати два повних цикли читання й запису, тому для передачі одного слова контролер виконує два цикли ПДП по чотири такти в кожному: S11-S14 для читання з пам'яті й S21 - S24 для запису в пам’ять.

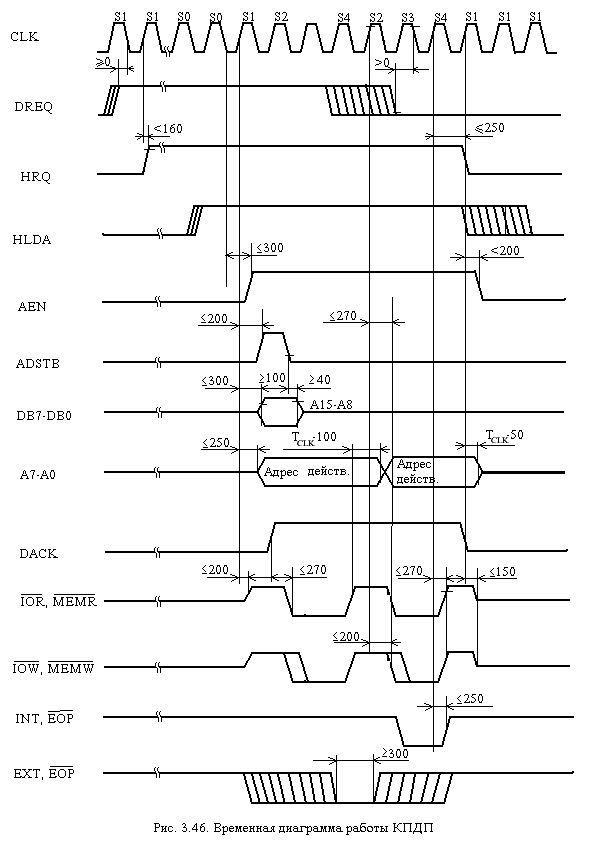
Часова діаграма роботи контролера в циклах ПДП приведена на *рис. 20.4*. У пасивному стані відбувається опитування входів запитів на ПДП та можлива взаємодія з ЦП за допомогою звичайних команд введення-виведення.

Оскільки взаємодію з ЦП КПДП частіше здійснює словом із двох байтів, то для правильного їхнього вибору контролер використовує внутрішній тригер, що вказує на операцію з молодшим або старшим байтом слова. Цей тригер скидається сигналом RESET або командою загального скидання, вказуючи на операцію з молодшим байтом. Після виконання операції з молодшим байтом він встановлюється в одиницю, вказуючи старший байт.

Контролер може бути запрограмований для виконання наступних чотирьох режимів роботи ПДП.

У режимі *одиночної передачі* здійснюється передача одного байта, при цьому вміст лічильника циклів ПДП (CWR) зменшується, а вміст регістру адреси (CAR) зменшується або збільшується на одиницю. Вхід DREQ повинен підтримуватися в активному стані до приходу сигналу DACK. Якщо DREQ залишається активним і після передачі одного байта, сигнал HRQ знімається, а новий цикл передачі стає можливим тільки з приходом чергового сигналу HLDA.

У режимі *блокової передачі* цикли ПДП здійснюються до моменту встановлення біта ТС у регістрі умов, тобто коли лічильник циклів ПДП CWR прийме значення FFFFH або передача зупиниться по зовнішньому сигналу ЕОР. Цикли передачі можуть бути відновлені, якщо канал був запрограмований на автоініціалізацію.



*Рис. 20.4. Часова діаграма роботи КПДП*

У режимі передачі на вимогу цикли ПДП тривають, поки не встановиться розряд ТС у регістрі умов або не прийде сигнал ЕОР, або не зніметься сигнал DREQ. У цьому режимі передача може здійснюватися, поки зовнішній пристрій не закінчить передачу інформації. Автоініціалізацію в цьому режимі можна здійснювати після закінчення передачі зовнішнім сигналом ЕОР або тим, що виробляється за ознакою ТС.

*Режим передачі пам'ять-пам'ять* дозволяє здійснювати переміщення блоків інформації в поле оперативної пам'яті. Для реалізації цього режиму використовуються параметри каналів 0 і 1. Передача ініціалізується програмно встановленням DREQ у каналі 0. Після приходу сигналу HLDA=1 контролер за чотири такти зчитує дані з комірки пам'яті з адресою з регістру CAR каналу 0 і записує їх у регістр тимчасового зберігання TR, потім за чотири такти записує ці дані в комірку пам'яті з адресою з CAR каналу 1. Коли вміст регістру циклів ПДП CWR прийме значення FFFFH, установиться розряд ТС і передача закінчиться. Канал 0 може бути запрограмований на передачу інформації без зміни адреси, що дозволяє заповнити гнізда блоку ОЗП константою. У цьому режимі зовнішній сигнал ЕОР, сприйманий контролером, використовується при пошуку потрібних кодів у полі адрес ОЗП. Режим передачі пам'ять-пам'ять може бути ініціалізований сигналом AEN без використання сигналу DACK.

У випадку каскадування виводи HRQ і HLDA додаткової схеми підключаються до виводів DREQ і DACK основної схеми (рис. ). У цьому випадку сигнали запитів на ПДП проходять через схеми пріоритетів ВІС КПДП більш високого рівня. При цьому ніякі інші сигнали основної схеми у формуванні циклів ПДП не беруть участь. Інші контролери можуть бути підключені як до вільних входів запитів основної схеми, так і до входів підлеглої схеми.

Типи передачі ПДП.

У всіх режимах ПДП можливі три основні типи передачі. Запис даних — здійснюється передача даних від зовнішнього пристрою до ОЗП. Контролер у цьому випадку активізує сигнали MEMW і IOR. Читання даних — здійснюється передача даних від ОЗП до зовнішнього пристрою, активізуються сигнали MEMR і IOW. У випадку перевірки або псевдопередачі контролер виконує дії такі ж, як у циклі читання/запису, але сигнали керування не виробляються. У цьому випадку сигнал READY не сприймається. Крім того, контролер може бути запрограмований для виконання додаткових функцій.

Автоініціалізація здійснюється, якщо встановлений відповідний розряд у регістрі умов, і по сигналу ЕОР. При автоініціалізації вміст базових регістрів BAR і WCR завантажується в регістри поточних значень CAR і CWR. Розряди маски при цьому не змінюються. Після автоініціалізації контролер готовий до роботи й відновлює дії із приходом чергового сигналу DREQ. Для автоініціалізації обох каналів у режимі пам'ять-пам'ять регістри циклів ПДП CWR повинні програмуватися ідентично.

Для зменшення часу передачі даних передбачена можливість виконання циклів ПДП за два такти. У цьому випадку із циклу ПДП віддаляються такти S1 і S3 на час зміни адреси по восьми молодшим розрядам (А7 – АО), які формуються тільки при зміні коду на старших розрядах А15 – А8. Використання цієї операції в режимах блокової передачі й передачі на вимогу дозволяє значно скоротити загальний час передачі даних. Така операція називається стиском у часі.

* 1. ***Каскадування КПДП***

Для збільшення кількості зовнішніх пристроїв, які можуть бути підключені до мікропроцесора в режимі ПДП, використовують каскадне *підключення КПДП*. При цьому керований КПДП підключається до одного з каналів керуючого контролера аналогічно до схеми підключення ЗП, а безпосередній зв'язок з ЦП має тільки керуючий контролер. Жодні сигнали керуючого контролера не приймають участь у формуванні циклів ПДП.

За максимальної конфігурації та використання керуючого та 4 керованих КПДП, підключених до кожного з каналів керуючого, до МП можливо підключити лише 16 зовнішніх пристроїв, що працюють в режимі ПДП.



*Рис. 20.5. Каскадування КПДП*

## ***Розробка алгоритмів взаємодії процесора з основними структурними КПДП***

Режим ПДП використовується для розвантаження процесора під час обміну масивами даних між ОП та ЗП. Блок-схема алгоритму роботи КПДП представлена на *рис. 20.6*.

*Алгоритм роботи КПДП наступний*:

1. *Прийняти запит ВПДП від ЗП;*
2. *Сформувати запит ВШ на захоплення шин для ЦП;*
3. *Прийняти сигнал ПШ, що підтверджує цей факт після того, як П увійде у стан захоплення (ШД, ША, ШУ в z-стані);*
4. *Сформувати сигнал ППДП, який повідомляє ЗП про початок виконання циклів ПДП;*
5. *Сформувати на ША адресу комірки пам'яті, призначеної для обміну;*
6. *Виробити сигнали R, I і W, O, що забезпечують управління обміном;*
7. *Після закінчення ПДП або повторити цикл ПДП, змінивши адресу, або припинити ПДП, знявши запити на ПДП.*



*Рис. 20.6. Блок-схема алгоритму роботи КПДП*

* 1. ***Децентралізований КПДП***

*Рис. 20.7. Структура децентралізованого КПДП*

*РАi (ДАі)* – розподілений (децентралізований) арбітр КПП;

*РА’і (ДА’і)* – розподілений (децентралізований) арбітр КПДП;

*ВШ* – вимога ПДП (HRQ);

*ПД ПДП* – підготовка ПДП;

*ПШ* – підтвердження ПДП (HLDA);

*ПВ* – підтвердження вибірки.

В кожному ЗПі присутня схема ДА’і КПДП для підключення вибіркового, наприклад, і-го пристрою до СП. Відбувається захоплення шини ЗПі, процесор відключається (сигналом ОЕР ПДП, який виробляється сигналом П).

* 1. ***Децентралізований (розподілений) арбітр КПДП***

*Рис. 20.8. Структурна схема децентралізованого (розподіленого) арбітра*

Кожен ЗП містить власний інтерфейс з РС та РД, через який здійснюється передача даних. Крім того, є блок керування ПДП та спеціальні регістри:

1. СТ – лічильник кількості слів, які передаються у масив;
2. РПА – регістр початкової адреси (ЗП);
3. РК – регістр команд;
4. РР – регістр режиму (передача слова чи масиву).

Ініціалізація регістрів КПДП відбувається у програмному режимі.

*Синхронізація процесу захоплення системної магіcтралі:*

1. Зовнішнійпристрійодин або декілька, яким потрібен прямий доступ до СП виставляють на шину ВПДП свої запити (шина віртуальне «І»). ВПДП (ВШ) знімається з елемента І, TгПДП (тригер ПДП) в цих пристроях встановлюється в одиничний стан.
2. У відповідь на сигнал ВПДП (ВШ) процесор, після того, як закінчує свій цикл обміну зі СП, видає сигнал Підг. ПДП на відповідну шину (α=1).
3. За сигналом Підг. ПДП встановлюється тригер ПВ (Тг 2) в одиничний стан у зовнішньому пристрої, який потребує захоплення шини. Цей тригер налаштовує «дейзі-ланцюжок» у кожному ЗП.
4. Через деякий проміжок часу П видає сигнал ППДП. Сигнал ППДП проходить через і-тий пристрій якщо він не виставив сигнал ВШ, інакше сигнал ПП не проходить далі та цей пристрій захоплює шину. Тобто цей пристрій є найбільш пріоритетним і у ньому замикається «дейзі-ланцюжок».
5. На вході елемента &3 з’являється одиничний сигнал через формувач підтвердження вибірки FПВ він надходить на шину підтвердження вибірки (ПВ шина монтажного І (&)). Цим сигналом знімається сигнал ВПДП (ВШ) через &2.
6. Сигнал ПВ підтверджує захоплення шини на цикл обміну. Тобто він тримається, доки ЗПі здійснює передачу одного слова або масиву в СП. У відповідь на сигнал ПВ процесор відключається віл системної магістралі сигналом ЕОР ПДП(α=1). Тригер ПВ скидається сигналом з блоку керування – «скидання ПВ». ППДП скидає тригер ПДП, але це вже не грає ролі, оскільки сигнал підтвердження вибірки (ПВ) все встановився та було зафіксоване підключення цього пристрою.